

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-036880

(43)Date of publication of application : 29.02.1984

(51)Int.Cl. G06K 9/46

H03K 21/00

H04N 1/02

H04N 1/40

(21)Application number : 57-147942

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.08.1982

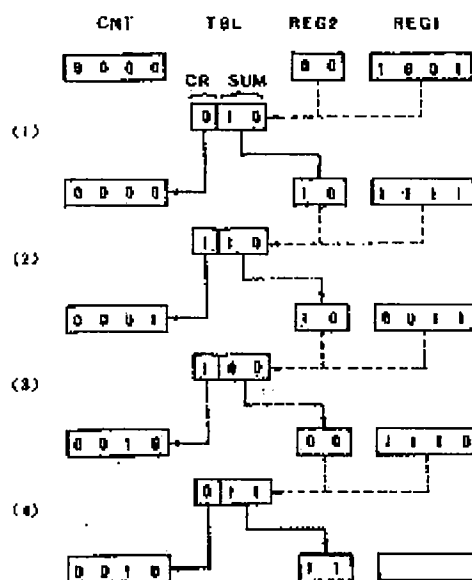
(72)Inventor : HATSUZAKI JUNJI

## (54) COUNTING CIRCUIT OF BIT

### (57)Abstract:

**PURPOSE:** To attain high speed operation with a simple circuit, by dividing a long bit string from the upper position into short bit strings and counting and holding the specific bit in each division successively in a counter repeatedly to count up the specific bits down to the lowmost digit.

**CONSTITUTION:** The counter CNT and a register REG2 are cleared and a fraction, 1001 e.g., obtained by dividing a long bit string into 4-bit units from the upper position is inputted, the sum of a conversion table TBL is set up to 10 to indicate the existence of two bits 1. When the SUM10 is transferred to the REG2 and "1111" is inputted to the REG1, the carrier part CR of the TBL and the SUM are turned to "1" and "10" respectively, indicating the existence of six bits 1. If "1" of the CR is transferred to the CNT, "10" of the SUM is transferred to the REG2 and then "0011" is inputted to the REG1, the CNT and REG2 are turned to "10" and "00" respectively through "1" in the CR and "00" in the SUM. When "1110" is inputted to the REG1, the CNT and REG2 are turned to "10" and "11" respectively through "0" in the CR and "00" in the SUM and a counted value 1011=11 is obtained. Thus, bits are counted from the long bit string at a high speed by the sample circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—36880

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 昭和59年(1984)2月29日

G 06 K 9/46

6619—5 B

H 03 K 21/00

6628—5 J

H 04 N 1/02

7334—5 C

1/40

7136—5 C

発明の数 1

審査請求 未請求

(全 5 頁)

⑮ ビット計数回路

川崎市中原区上小田中1015番地

富士通株式会社内

⑯ 特 願 昭57—147942

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭57(1982)8月26日

川崎市中原区上小田中1015番地

⑲ 発 明 者 初崎純士

⑳ 代 理 人 弁理士 玉蟲久五郎 外 3 名

明 細 書

1. 発明の名称 ビット計数回路

2. 特許請求の範囲

一連のビット列中の特定のビットの個数を計数するビット計数回路に於て、ビット計数値の上位ビットを計数保持するカウンタと、前記ビット計数値の下位ビットを保持するレジスタと、該レジスタに保持された下位ビットと被計数ビット列の一部を入力して該被計数ビット列中の特定のビットの個数と前記下位ビットによる計数値との和を出力し、該和の出力の上位ビットを前記カウンタに、下位ビットを前記レジスタにそれぞれ与える変換テーブルとを備え、前記カウンタの計数保持内容と前記レジスタの保持内容とを組合せた内容を前記被計数ビット列中の特定のビットの個数として出力する構成としたことを特徴とするビット計数回路。

3. 発明の詳細な説明

発明の技術分野

本発明は、一連のビット列中の特定のビット例

えば "1" 或いは "0" のビットの個数を計数するビット計数回路に関するものである。

従来技術と問題点

画像処理分野等に於ては、例えば2値画像の或る領域内の白画素或いは黒画素の個数を計数し、パターンの特徴を抽出することが行われている。この場合、2値画像のビット列中の "1" 或いは "0" の個数を計数する処理が必要となるものである。第1図は従来ビット計数回路の一例のブロック図であり、INは被計数ビット列の入力データ、SRはパラレルイン・シリアルアウトのシフトレジスタ、CNTはカウンタ、EORは排他的論理和回路、bcは計数すべき特定のビットを指示する計数ビット制御信号である。被計数ビット列は、データ転送単位毎にシフトレジスタSRにセットされ、順次1ビットのシフトにより排他的論理和回路EORで計数ビット制御信号bcとの排他的論理和がとられ、排他的論理和出力がカウンタCNTに入力されて計数され、計数結果が特定ビットの計数値として出力される。この従来

の構成では、1ビット単位で計数する為、比較的簡単な構成となるが、長いビット列に対しては処理時間が長くなる欠点がある。

又第2図に示すように、変換テーブルTBLを設け、被計数ビット列をアドレスとし、そのアドレス入力の“1”の個数を出力することが提案されている。同図に於て、REG1、REG2はレジスタ、EORSは排他的論理和回路群、ADDは加算器である。レジスタREG1にセットされた被計数ビット列の入力データINは、排他的論理和回路群EORSを介して変換テーブルTBLのアドレスとなるもので、計数すべき特定のビットを“1”（又は“0”）とすると、計数ビット制御信号bcを“0”（又は“1”）とし、排他的論理和回路群EORSを介して変換テーブルTBLのアドレスとする。例えばレジスタREG1にセットされた入力データINが“01110101”、“11111111”の8ビットのとき、“1”のビットを計数する場合、計数ビット制御信号bcは“0”とし、入力データINはその

まま排他的論理和回路EORSを介してアドレス入力となり、変換テーブルTBLから、それぞれ“0101”、“1000”が出力されるように構成される。この変換出力はレジスタREG2にセットされ、次の8ビット中の“1”の個数の変換出力と加算器ADDで加算され、レジスタREG2に“1101”がセットされ、その内容は順次累積されたものとなる。

この第2図の従来例は、複数ビットを一括処理することになるから、処理時間が短い利点があるが、ビット個数の累積加算の為に加算器ADDを必要とし、又被計数ビット列が長くなると、加算器ADD及びレジスタREG2のビット幅が増加し、回路規模が大きくなる欠点がある。

#### 発明の目的

本発明は、加算器を必要とすることなく、計数処理を複数ビット一括処理で行うことにより、比較的回路規模を小さく、且つ高速でビット計数を行うことができるようにすることを目的とするものである。以下実施例について詳細に説明する。

#### 発明の実施例

第3図は本発明の一実施例のブロック図であり、REG1、REG2はレジスタ、CNTはカウンタ、EORSは排他的論理和回路群、TBLは変換テーブルである。変換テーブルTBLは、読出専用メモリ（ROM）等のメモリで構成され、被計数ビット列と中間計数値の下位ビットとをアドレス入力とし、被計数ビット列中の“1”のビットの個数と下位中間計数値との和を出力するものである。被計数ビット列と下位中間計数値のビット長をそれぞれm、nとすると、 $m \leq 2^n$ の関係を満足するように道定する。このときの出力はn+1ビットとなる。この出力の最上位ビットをキャリー部CR、下位nビットをサム部SUMとする。例えば、被計数ビット列を8ビット、下位中間計数値を3ビットとすると、それぞれ“10100110”、“101”の場合、これを結合した“10100110101”をアドレス入力とし、被計数ビット列中の“1”ビットの個数4と下位中間計数値5との和9を2進4ビットで表

現した“1001”を出力する。このときキャリー部CRは“1”、サム部SUMは“001”となる。

初期状態としては、カウンタCNTとレジスタREG2はクリアされる。そして被計数ビット列をデータ転送単位毎に入力データINとしてレジスタREG1にセットする。このレジスタREG1の内容は、計数ビット制御信号bcにより排他的論理和回路群EORSで、“1”ビット計数時はそのまま、“0”ビット計数時は各ビットが反転される。そして排他的論理和回路群EORSの出力は、レジスタREG2の内容と連結されて変換テーブルTBLのアドレス入力となる。この変換テーブルTBLの出力は、排他的論理和回路群EORSの出力中に含まれる“1”ビットの個数とレジスタREG2の内容との和となる。その出力のサム部SUMはレジスタREG2にセットされ、キャリー部CRはカウンタCNTのカウントイネーブル信号となり、キャリー部CRが“1”の時のみカウントアップされる。

レジスタREG 2へのサム部SUMのセットとカウンタCNTのカウンタ動作と同時に、次の被計数ビット列がレジスタREG 1にセットされ、前述の処理が繰り返される。そして最終的なビット計数値は、上位ビットがカウンタCNTに、下位ビットがレジスタREG 2に保持されているので、それらを連結した内容がビット計数値として出力される。

第4図は、前述の動作の一例の説明図であり、第3図と同一部分を同一符号で示している。なお被計数ビット列のデータ転送単位を4ビット、レジスタREG 1、REG 2のビット幅をそれぞれ4ビット、2ビットとした場合について、(1)～(4)のステップで示すものである。被計数ビット列“1001111100111110”の“1”ビットの個数を計数する場合、(1)ステップでは、カウンタCNTとレジスタREG 2とは先ずクリアされ、レジスタREG 1には、被計数ビット列の先頭から“1001”の4ビットがセットされる。“1”ビットの個数を計数する場

合であるから、排他的論理和回路群EORSの出力は、レジスタREG 1の内容と同一となり、変換テーブルTBLのアドレス入力としては、レジスタREG 1、REG 2の内容が連結された“100100”（又は“001001”とすることも可能である。）となり、変換テーブルTBLの出力は“010”となる。

変換テーブルTBLの出力のキャリー部CRは“0”であるから、カウンタCNTのカウンタアップは行われず、サム部SUMの“10”がレジスタREG 2にセットされる。それと同時にレジスタREG 1に次の被計数ビット列の4ビットの“1111”がセットされる。そしてレジスタREG 2の“10”と連結されたアドレス入力で変換テーブルTBLのアクセスが行われるので、変換テーブルTBLからは、中間計数値2と被計数ビット列の“1”ビットの個数4との和の6を示す“110”が(2)ステップで出力される。この時キャリー部CRは“1”であるから、カウンタCNTのカウンタアップが行われる。以下同様

にして(3)、(4)ステップにより、カウンタCNTの内容は“0010”，レジスタREG 2の内容は“11”となり、被計数ビット列中の“1”の個数は、“001011”即ち11個となる。

前述の如く16ビット長の被計数ビット列に対して、レジスタREG 1、REG 2のビット幅をそれぞれ4ビット、2ビットとし、変換テーブルTBLの出力ビット幅を3ビットとしている為、ビット計数処理に4ステップを要することになるが、それぞれのビット幅を拡張することにより、処理ステップの短縮が可能であるから、計数処理を高速化することができる。又第4図の場合、カウンタCNTが4ビット幅であるから、63ビット長のビット列の計数が可能であり、更に長いビット列を計数する場合は、カウンタCNTのビット幅を拡張するのみで容易に計数可能となる。

第5図は本発明の他の実施例のブロック図であり、この実施例は、第3図の実施例と比較して、排他的論理和回路群EORSを用いないで、計数

ビット制御信号bcを変換テーブルTBLのアドレス入力としているものである。変換テーブルTBLの出力のキャリー部CRをカウンタCNTに、サム部SUMをレジスタREG 2にそれぞれ与えることは同一であり、例えば計数ビット制御信号bcが“0”のときには、レジスタREG 2の内容とレジスタREG 1の“1”ビットの個数との和を出力し、計数ビット制御信号bcが“1”のときには、レジスタREG 2の内容とレジスタREG 1の“0”ビットの個数との和を出力するものである。

アドレス入力が1ビット多くなることにより、変換テーブルTBLの容量は大きくなるが、大容量のメモリも比較的安価に入手できるので、排他的論理和回路群を省略できることと相俟つてコストアップになることはない。又計数動作については、前述の実施例と同様であり、カウンタCNTの内容とレジスタREG 2の内容とを連結した内容が、被計数ビット列中の“1”又は“0”ビットの個数を示すものとなる。

## 発明の効果

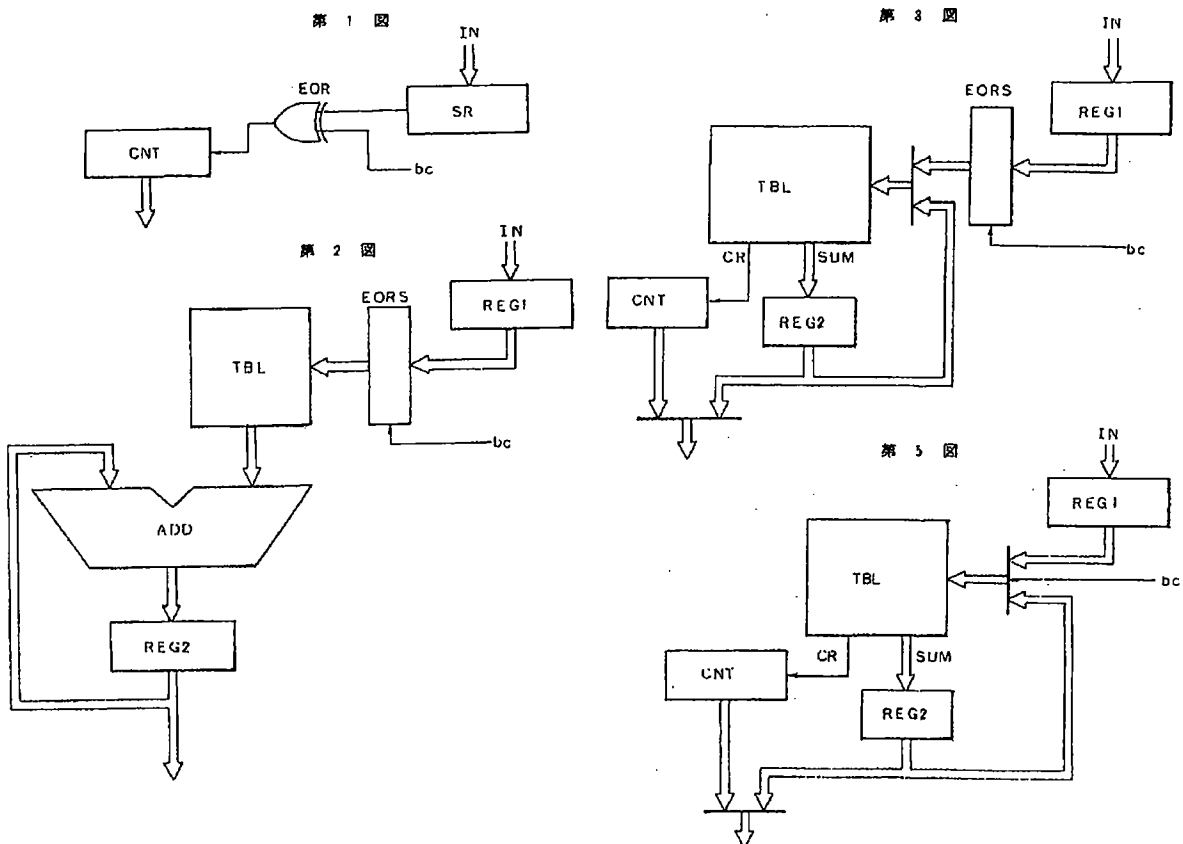
以上説明したように、本発明は、加算器を用いることなく、複数ビット一括計数処理を可能とすることができるものであるから、比較的小さい回路規模で高速計数処理が可能となる利点がある。

## 4. 図面の簡単な説明

第1図及び第2図は従来例のビット計数回路のブロック図、第3図及び第5図は本発明のそれぞれ異なる実施例のブロック図、第4図は第3図の動作説明図である。

REG1、REG2はレジスタ、TBLは変換テーブル、CNTはカウンタ、EORSは排他的論理和回路群である。

特許出願人 富士通株式会社  
代理人弁理士 玉森久五郎 外3名



第 4 図

